



Założeniem projektu było opracowanie i przetestowanie komputera przeznaczonego do pracy w obszarze o podwyższonej radiacji, zbudowanego z wykorzystaniem re-konfigurowalnego układu FPGA i dedykowanego kontrolera zarządzającego systemem, a w szczególności procesem rekonfiguracji układu FPGA.

Postęp w dziedzinie technologii kosmicznych zależy w dużej mierze od skuteczności adaptacji komercyjnych rozwiązań cywilnych do specyficznych wymagań związanych z pracą urządzeń w warunkach podwyższonej radiacji. Po pierwsze, przemysł kosmiczny, zaczyna dostrzegać swoje zapóźnienie w stosunku do przemysłu cywilnego, zaistniałe poprzez fakt wyjątkowo wysokiego przywiązania uwagi do niezawodności wykorzystywanych układów oraz nakierowania na dziedzictwo użycia danego układu w kosmosie. Po drugie, istnieje tendencja do budowania coraz bardziej złożonych systemów, które albo mają oferować większe możliwości przetwarzania danych niż dotychczas, albo, co jest niemniej ważne, przy zachowaniu poziomu możliwości obliczeniowych zajmują mniej miejsca, są lżejsze i efektywniej wykorzystują dostępną moc. Tendencje te wyrażają się w coraz powszechniejszym i odważniejszym stosowaniu zaawansowanych układów logiki programowalnej do budowy złożonych systemów przeznaczonych do pracy w trudnych warunkach środowiskowych - w szczególności z uwzględnieniem uszkodzeń i awarii których źródłem jest promieniowanie jonizujące.

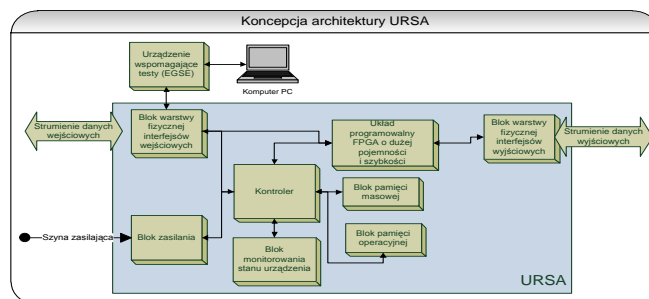
Wzrost wymagań dotyczących mocy obliczeniowej i możliwości funkcjonalnych stawianych wobec komputerów pokładowych jest ściśle skorelowany ze wzrostem możliwości operacyjnych i badawczych ładunków użytecznych umieszczanych na pokładzie satelity lub sondy. Stąd zapotrzebowanie na szybkie systemy cyfrowe przetwarzające dane pomiarowe (np. filtry FIR, transformaty typu DFFT), przetwarzające obrazy, zajmujące się sterowaniem i zarządzaniem strumieniami danych, stanowiące koprocesory arytmetyczne do obliczeń nawigacyjnych, kontrolujące interfejsy wejścia / wyjścia na warstwie fizycznej i wyższych. Układy FPGA są odpowiednie do implementacji takich rozwiązań.

Wobec braku możliwości naprawy uszkodzonych urządzeń w czasie misji kosmicznej, konieczne jest zaimplementowanie w systemach satelitarnych możliwości zmiany ustalonej pierwotnie konfiguracji działania określonej części, a nawet wszystkich podsystemów. Nowatorskim rozwiązaniem, które ma coraz większe szanse na realizację we współczesnych pojazdach kosmicznych, jest konstrukcja generycznych systemów zapasowych, które mogą przejąć jedną lub kilka funkcji realizowanych przez podsystem który uległ awarii.

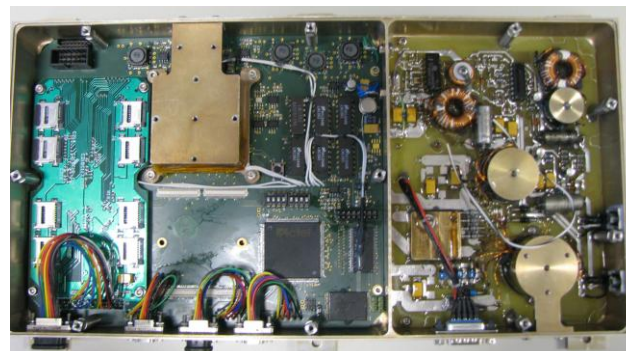
Drugim obszarem zastosowania proponowanego urządzenia są techniki akceleratorowe. Dotyczy to zarówno możliwej integracji komputera z infrastrukturą akceleratorów, jak również z infrastrukturą badawczą i przemysłową pracującą z wykorzystaniem wiązek pochodzących z akceleratora w obszarze silnie podwyższonej radiacji. Infrastruktura akceleratora wymaga zastosowania szybkich układów przetwarzania danych m. in. w systemach mierzących charakterystykę wiązek (pozycję, intensywność, profil) w rurze akceleratora, a także w systemach bezpieczeństwa, podejmujących kluczowe decyzje chroniące system w przypadku utraty stabilności przez wiązkę. Wprowadzenie układu przetwarzania do obszaru detektora w sposób istotny poprawi jakość pomiarową i niezawodność detektora. Wymagania stawiane przed komputerem działającym przy akceleratorach w znacznej mierze są zbieżne z wymaganiami dla zastosowań kosmicznych. Musi być zapewniona wysoka niezawodność działania – do układów działających w ramach infrastruktury wielu akceleratorów dostęp serwisowy zapewniony jest raz na kilka miesięcy, w okresie, w którym wiązka nie jest wytwarzana w maszynie, do układów zintegrowanych z detektorami dostępu może nie być przez okres kilku lat (np. z powodu napromieniowania). Dlatego

układ powinien mieć możliwość samodzielnej detekcji uszkodzeń i naprawy (kontrola integralności pamięci FPGA i rekonfiguracja). Co więcej, zmiana sposobu działania akceleratora (np. zmiana intensywności wiązki, rodzaju przyspieszanych obiektów) wymaga zapewnienia możliwości zdalnej aktualizacji oprogramowania komputera.

W ramach prowadzonych prac został zaprojektowany, a następnie zbudowany demonstrator technologiczny (URSA - Universal Reconfigurable System for Aerospace), umożliwiający przetestowanie założonej koncepcji. Tworzy go urządzenie oparte na dwóch układach FPGA (typu SRAM - Virtex-5 FXT - XC5VLX100T-3FFG1738I firmy Xilinx oraz „anti-fuse” - AX500 w obudowie PQFP208 firmy Actel), oprogramowanie które steruje jego pracą oraz dedykowany blok zasilacza wykorzystujący sieć zasilania 26V. W układzie FPGA bloku „anti-fuse” zaimplementowany jest mikroprocesor LEON3 oraz peryferia umożliwiające komunikację z innymi modułami satelity, kontroler pamięci FLASH oraz SDRAM z zastosowaniem kodowania korekcyjnego, przetwornik analogowo-cyfrowy delta-sigma, monitor stanu pracy platformy oraz interfejsy komunikacyjne takie jak SpaceWire(LVDS), CAN, UART. W celu przetestowania



możliwości układu re-programowalnego typu SRAM zaimplementowano w tym układzie kolejno trzy przykładowe konfiguracje użytkownika: konfiguracja kontrolera nadmiarowej macierzy dyskowej, konfiguracja układu DSP służącego do przetwarzania obrazów oraz konfiguracja 4-procesorowego komputera wykorzystującego cztery procesory LEON3. Urządzenie jest zamknięte w obudowie o wymiarach 298x152x38mm. Urządzenie jest modelem – demonstratorem technologii, a więc obudowa nie została zoptymalizowana pod względem konkretnej aplikacji. Urządzenie zostało wykonane w wersji wykorzystującej elementy bez specyfikacji kosmicznej (niezawodność, odporność na promieniowanie), ale posiadające zamienniki „kosmiczne”. Urządzenie zostało przetestowane w warunkach odpowiadających misji satelitarnej na LEO (Low Earth Orbit). Testy dotyczyły pracy urządzenia w warunkach różnych temperatur w próżni oraz weryfikacji jego odporności na narażenia mechaniczne w czasie startu. Odporność na promieniowanie nie była testowana – urządzenie w wersji lotnej może być wykonane z zastosowaniem elementów o odpowiednich specyfikacjach zapewniających ta odporność, dodatkowo w kontrolerze „anti-fuse” wbudowane i przetestowane są mechanizmy korekcji błędów (EDAC – Error Detection and Correction). Wraz z urządzeniem została wykonana dodatkowa aparatura testująca (EGSE – Electrical Ground Support Equipment) oraz przygotowana dokumentacja techniczno-konstrukcyjna zawierająca projekty obwodów drukowanych (schematy elektryczne, mozaiki obwodów drukowanych), kod źródłowy w języku VHDL konfiguracji układu „anti-fuse” oraz aplikacji układu reprogramowalnego, kod programu aplikacyjnego oraz rozruchowego (język C) działającego na procesorze LEON3 oraz instrukcja obsługi.



Kontakt w CBK PAN:

dr inż. Piotr Orleański, porlean@cbk.waw.pl, (0048)697001938, (0048)224966206 lub
mgr inż. Andrzej Cichocki, acichocki@cbk.waw.pl, (0048)224966336